

MENU **SEARCH** **INDEX** **DETAIL** **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-095248

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H02M 3/28

H02M 7/21

(21)Application number : 2000-279809

(71)Applicant : SHARP CORP

(22)Date of filing : 14.09.2000

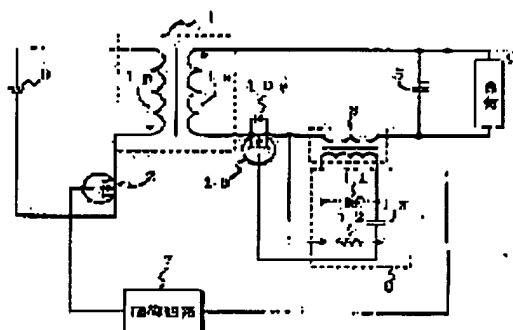
(72)Inventor : SASAKI MASATO

(54) SYNCHRONOUS RECTIFIER AND SWITCHING POWER SUPPLY PROVIDED THEREWITH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a synchronous rectifier and a switching power supply provided therewith wherein a field-effect transistor is synchronously rectified through simple constitution and the on period of the field-effect transistor is always lengthened in current continuous mode.

SOLUTION: A current transformer 8 detects any current passed between the source and the drain of MOSFET 10, including any current passed through a parasitic diode 10a. Voltage outputted from the current transformer is differentiated through a differentiating circuit comprising a resistor 12 and a capacitor 13, and is supplied to the gate of the MOSFET 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-95248

(P2002-95248A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷

識別記号

F I

ターム(参考)

H 0 2 M 3/28

H 0 2 M 3/28

F 5 H 0 0 6

7/21

7/21

A 5 H 7 3 0

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2000-279809 (P2000-279809)

(22) 出願日 平成12年9月14日 (2000.9.14)

(71) 出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐々木 正人

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

Fターム(参考) 5H006 A405 CA02 CA07 CB03 CB07

CC08 DA04 DC02

5H730 AA14 AS01 BB23 BB43 BB57

DD04 EE02 EE07 EE08 EE10

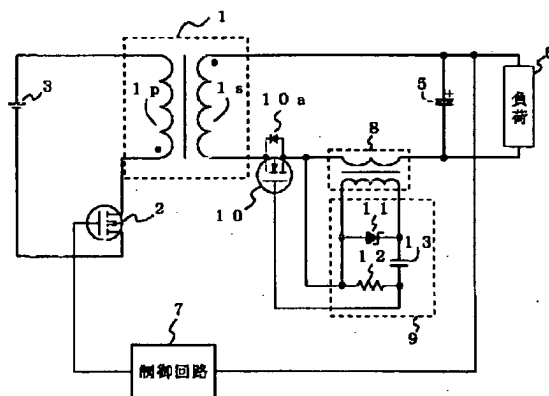
EE14 FD01 FD31 FD51

(54) 【発明の名称】 同期整流装置及びこれを備えたスイッチング電源装置

(57) 【要約】

【課題】 簡単な構成により電界効果トランジスタを同期整流させるとともに、電流連続モードで使用されるときにおいて電界効果トランジスタの導通時間を常に長くすることができる同期整流装置及びこれを備えたスイッチング電源装置を提供する。

【解決手段】 MOSFET 10 のソースドレイン間に流れる電流を寄生ダイオード 10 a に流れる電流を含めて検出するカレントトランス 8 から出力される電圧を抵抗 1 2 及びコンデンサ 1 3 からなる微分回路によって微分して MOSFET 10 のゲートに供給する。



【特許請求の範囲】

【請求項1】電界効果トランジスタのソースドレイン間に流れる電流を寄生ダイオードに流れる電流を含めて検出する電流検出手段と、該電流検出手段が出力する電圧に応じて前記電界効果トランジスタのゲートに電圧を供給することによって前記電界効果トランジスタを駆動する制御手段と、を備え、前記電界効果トランジスタを駆動する同期整流装置であって、前記制御手段は前記電流検出手段が出力する電圧を微分して前記電界効果トランジスタのゲートに供給することを特徴とする同期整流装置。

【請求項2】前記制御手段は、微分回路と、該微分回路の入力端子間と出力端子間の少なくとも一方に設けられる定電圧ダイオードと、を備える請求項1に記載の同期整流装置。

【請求項3】トランスと、該トランスの一次側巻線に接続されるスイッチング手段と、前記トランスの二次側巻線に接続される整流手段および平滑手段と、を有するフライバック型コンバータを備えたスイッチング電源装置において、前記整流手段は請求項1または請求項2に記載の同期整流装置を備える電界効果トランジスタであることを特徴とするスイッチング電源装置。

【請求項4】トランスと、該トランスの一次側巻線に接続されるスイッチング手段と、前記トランスの二次側巻線に直列に接続される整流手段および転流手段と、該転流手段に並列接続されるコイルおよび平滑手段と、を有するフォワード型コンバータを備えたスイッチング電源装置において、前記整流手段および前記転流手段のうち、少なくとも前記転流手段は請求項1または請求項2に記載の同期整流装置を備える電界効果トランジスタであることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタに流れる電流に同期して前記電界効果トランジスタをオン・オフさせる同期整流装置およびこれを備えたスイッチング電源装置に関するものである。

【0002】

【従来の技術】入力電圧を所望の出力電圧とし且つ安定化して負荷に供給するスイッチング電源装置では、安全性やノイズの観点から一次側と二次側とを電氣的に絶縁する必要がある場合には、互いに絶縁された一次巻線及び二次巻線を持つトランスが用いられる。トランスを備えたスイッチング電源装置の従来例として、図5に示すようなフライバック型コンバータを用いたスイッチング電源装置が挙げられる。

【0003】図5に示すフライバック型コンバータを用いたスイッチング電源装置の構成について説明する。ま

ず、トランス1の一次側について説明する。直流電源3の正極は、トランス1の一次巻線1pのコールド側に接続されている。トランス1の一次巻線1pのホット側には、nチャネル形MOSFETであるスイッチングトランジスタ2のドレインが接続されている。また、スイッチングトランジスタ2のソースは直流電源3の負極に接続されている。さらに、スイッチングトランジスタ2のゲートは後述する制御回路7の出力側に接続されている。

【0004】次にトランス1の二次側について説明する。トランス1の二次巻線1sのホット側にはコンデンサ5の正極が接続され、コンデンサ5の負極はダイオード4のアノードに接続されている。また、ダイオード4のカソードはトランス1の二次巻線1sのコールド側に接続されている。さらに、コンデンサ5の両端に負荷6が接続され、コンデンサ5の正極と負荷6との接続点に制御回路7の入力側が接続されている。

【0005】上記構成のフライバック型コンバータを用いたスイッチング電源装置の動作について図6を参照して説明する。スイッチングトランジスタ2が制御回路7からHighレベルの電圧信号を受け取ってオン状態になると、スイッチングトランジスタ2のドレイン・ソース間電圧 V_{Q2} が零になり、直流電源3からトランス1の一次巻線1pに電流 I_{Q2} が流れる。電流 I_{Q2} はトランス1の一次巻線1pのインダクタンスのために次第に増加する波形となる。また、トランス1の一次巻線1pの電圧 V_{T1} は直流電源3の出力電圧と等しい正電圧（ホット側が負電位、コールド側が正電位）となる。そして、トランス1の二次巻線1sにも誘起電圧が生じるがホット側が負電位、コールド側が正電位であるので、ダイオード4の整流作用によりダイオード4を流れる電流 I_R は零になる。このようにして、スイッチングトランジスタ2がオン状態の期間はトランス1の一次巻線1pにエネルギーが蓄積される。

【0006】スイッチングトランジスタ2が制御回路7からLowレベルの電圧信号を受け取ってオフ状態になると、電流 I_{Q2} の増加が止まり零になるのでトランス1のコアの磁束変化が止まり、トランス1の一次巻線1pの電圧 V_{T1} は負電圧（ホット側が正電位、コールド側が負電位）となる。電圧 V_{Q2} はトランス1の一次巻線1pの逆起電圧も加わって大きくなる。また、トランス1の二次側では、トランス1の一次巻線1pに蓄積されていたエネルギーによって二次巻線1sに誘起電圧（ホット側が正電位、コールド側が負電位）が生じる。この誘起電圧によってダイオード4には順方向の電圧が印加されるので、電流 I_R は正の値となりコンデンサ5に電荷が蓄えられる。尚、負荷6が大きくなると、電流 I_{Q2} および I_R のピーク値が大きくなる。

【0007】制御回路7は、負荷6に供給される出力電圧を検出し、出力電圧が所定値になるようにスイッチ

グトランジスタ2のオン・オフ期間を制御する。制御回路7ではスイッチング電源装置の一次側と二次側を絶縁するためにフォトカプラによって信号の伝達が行われている。

【0008】このようなスイッチング電源装置では高効率化を図るため、一般にダイオード4に順方向電圧降下が小さいショットキーバリアダイオードを用い、整流損失を低減している。しかし、ショットキーバリアダイオードの接合金属の選択を種々検討しても順方向電圧降下を小さくするには限界がある。そこで、さらなる整流損失の低減を図るために、ダイオード4の代わりにオン抵抗の小さいMOSFETが用いられる。

【0009】

【発明が解決しようとする課題】この場合、MOSFETが整流手段として作用するためにはMOSFETを駆動させる同期整流装置を設ける必要がある。例えば図5のフライバック型コンバータを用いたスイッチング電源装置においてMOSFETをダイオード4に代替して設けた場合、スイッチングトランジスタ2をオフ状態にしたときにMOSFETをオン状態とし、スイッチングトランジスタ2をオン状態にしたときにMOSFETをオフ状態にする必要がある。すなわち、MOSFETに備えられる同期整流装置は、スイッチングトランジスタ2のオン・オフ制御と逆のオン・オフ制御を行う必要があり、同期整流装置の制御構成が複雑となるという問題があった。

【0010】このような問題点を解決する手段が、特開平9-172775号公報に開示されている。しかし、この手段では、同期整流装置を備えるMOSFETのゲートに供給される定電圧の設定が低ければ、負荷が大きくなったとき二次側に電流が流れている状態で一次側のスイッチングトランジスタがオン状態になってしまい、大きなエネルギー損失が生じる。このため、定電圧は電流連続モードにおいて電流ピークが最も大きいところで設定されるが、このような設定では負荷電流が小さいときにMOSFETの導通時間が短くなってしまうという不具合があった。

【0011】本発明は、上記の問題点に鑑み、簡単な構成により電界効果トランジスタを同期整流させるとともに、電流連続モードで使用されるときにおいて電界効果トランジスタの導通時間を常に長くすることができる同期整流装置を提供することを目的とする。また、このような同期整流装置を備えたスイッチング電源装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明に係る同期整流装置においては、電界効果トランジスタのソース・ドレイン間に流れる電流を寄生ダイオードに流れる電流を含めて検出する電流検出手段と、該電流検出手段が出力する出力電圧に応じて前記電

界効果トランジスタのゲートに電圧を供給することによって前記電界効果トランジスタを駆動する制御手段と、を備えるとともに、前記制御手段は、前記電流検出手段が出力する電圧を微分して前記電界効果トランジスタのゲートに供給するような構成とする。さらに、前記制御手段は、微分回路と、該微分回路の入力端子間と出力端子間の少なくとも一方に設けられる定電圧ダイオードと、を備えるようにしてもよい。

【0013】また、本発明に係るスイッチング電源装置においては、トランスと、該トランスの一次側巻線に接続されるスイッチング手段と、前記トランスの二次側巻線に接続される整流手段および平滑手段と、を有するフライバック型コンバータを備えるとともに、前記整流手段は上述した構成の同期整流装置とする。

【0014】また、本発明に係るスイッチング電源装置においては、トランスと、該トランスの一次側巻線に接続されるスイッチング手段と、前記トランスの二次側巻線に直列に接続される整流手段および転流手段と、該転流手段に並列接続されるコイルおよび平滑手段と、を有するフォワード型コンバータを備えるとともに、前記整流手段および前記転流手段のうち、少なくとも前記転流手段は上述した構成の同期整流装置とする。

【0015】

【発明の実施の形態】本発明の一実施形態に係るスイッチング電源装置について図面を参照して説明する。図1は、本発明の一実施形態におけるフライバック型コンバータを用いたスイッチング電源装置の構成を示したものである。図5の従来のフライバック型コンバータを用いたスイッチング電源装置と同一の部分には同一の符号を付し、説明を省略する。

【0016】まず同期整流装置について説明する。同期整流装置は、ソースからドレインに向かう方向を順方向とする寄生ダイオード10aを有するnチャネル形MOSFET10の電流を検出するカレントトランス8と、カレントトランス8からの出力電圧に応じてMOSFET10をオン・オフ制御するMOSFET制御回路9と、を備えている。

【0017】MOSFET10のソースはトランス1の二次巻線1sのコールド側に接続されており、MOSFET10のドレインはカレントトランス8の入力端子の一端に接続されている。また、カレントトランス8の入力端子の他端は、コンデンサ5の負極に接続されている。

【0018】カレントトランス8の出力端子間には、定電圧ダイオード11が接続されている。定電圧ダイオード11のカソードはコンデンサ13の一端に接続され、定電圧ダイオード11のアノードは抵抗12の一端及びMOSFET10のドレインに接続されている。また、コンデンサ13の他端は、抵抗12の他端及びMOSFET10のゲートに接続されている。

【0019】これにより、MOSFET制御回路9はカレントトランス8からの出力電圧を微分してMOSFET10のゲートに出力することができる。

【0020】次に、このようなスイッチング電源装置の動作について、スイッチング電源装置の各部の電流・電圧波形を示した図2を参照して説明する。

【0021】スイッチングトランジスタ2が制御回路7からHighレベルの電圧信号を受け取ってオン状態になると、スイッチングトランジスタ2のソース・ドレイン間電圧 V_{Q2} は零となり、直流電源3からトランス1の一次巻線1pに電流 I_{Q2} が流れる。電流 I_{Q2} はトランス1の一次巻線1pのインダクタンスのために次第に増加する波形となる。また、トランス1の一次巻線1pの電圧 V_{T1} は直流電源3の出力電圧と等しい正電圧（ホット側が負電位、コールド側が正電位）となる。そして、トランス1の二次巻線1sに生じる誘起電圧はMOSFET10の寄生ダイオード10aに対して逆極性となるから、MOSFET10はオフ状態となり、MOSFET10を流れる電流 I_R は零である。従って、カレントトランス8の出力電圧 V_{IR} 、MOSFET10のゲート・ソース間に印加される駆動電圧 V_{GS} も零となり、スイッチングトランジスタ2がオン状態の期間中MOSFET10はオフ状態を持続する。

【0022】スイッチングトランジスタ2が制御回路7からLowレベルの電圧信号を受け取ってオフ状態になると、電圧 V_{Q2} は上昇し、また、電流 I_{Q2} は零となる。またトランス1の二次巻線1sに生じる誘起電圧は、MOSFET10の寄生ダイオード10aの順方向の極性となり、この寄生ダイオード10aを介して電流が流れ、カレントトランス8の出力電圧が抵抗12とコンデンサ13によって微分され、駆動電圧 V_{GS} としてMOSFET10のゲート・ソース間に印加される。これにより、MOSFET10はオン状態となる。

【0023】従って、トランス1の二次巻線1sに生じる誘起電圧により、オン抵抗が小さいMOSFET10を介して電流 I_R が流れ、カレントトランス8の出力電圧も継続して発生する。このため、抵抗12とコンデンサ13とによりMOSFET10のゲート・ソース間には駆動電圧 V_{GS} が印加される続けるのでMOSFET10はオン状態を持続する。

【0024】その後、トランス1の一次巻線1pの蓄積エネルギーの減少に伴い電流 I_R が減少すると、カレントトランス8の出力電圧も減少する。カレントトランス8の出力電圧が減少し、駆動電圧 V_{GS} がMOSFET10の閾値電圧 V_{th} 以下になると、MOSFET10はオフ状態となる。抵抗12の抵抗値とコンデンサ13の容量を適切な値に設定することでスイッチングトランジスタ2がオン状態となる直前にMOSFET10をオフ状態にすることができる。

【0025】また、負荷6が大きくなると電流 I_R のピーク値が大きくなるが、定電圧ダイオード11でカレントトランス8の出力電圧のピーク値を制限している

ので、負荷6が大きくなっても確実に整流動作を継続する。逆に、負荷6が小さくなると電流 I_R は不連続モードになり、電流 I_R のピーク値が小さくなるため、電流 I_R が流れている期間に対してMOSFET10がオン状態である期間は短くなる。しかしながら、整流損失の低減が望まれているのは、負荷6の状態が途中負荷ではなく定格負荷のときにおいてであり、トランス1は負荷6の状態が定格負荷のときに電流連続モードになるように設計されているので、問題ない。

【0026】次に本発明の第二実施形態について説明する。図3は、フォワード型コンバータを用いたスイッチング電源装置の構成を示したものである。尚、図1の第一実施形態のスイッチング電源装置と同一部分には同一の部号を付し、説明を省略する。一次側の構成は図1と同様であるので説明を省略し、二次側の構成について説明する。

【0027】トランス1'の二次巻線1'sのホット側にダイオード14のアノードが接続されている。ダイオード14のカソードはコイル15の一端と、MOSFET10のソースと、に接続されている。コイル15の他端は、コンデンサ5の正極及び負荷6の一端に接続されている。コンデンサ5の負極及び負荷6の他端は二次巻線1'sのコールド側に接続されるとともにカレントトランス8を介して、MOSFET10のドレインにも接続される。コンデンサ5の正極と負荷6の一端との接続点には、制御回路7の入力側が接続されている。

【0028】また、カレントトランス8の出力端子間には、定電圧ダイオード11が接続されている。定電圧ダイオード11のカソードはコンデンサ13の一端に接続され、定電圧ダイオード11のアノードは抵抗12の一端及びMOSFET10のドレインに接続されている。また、コンデンサ13の他端は、抵抗12の他端及びMOSFET10のゲートに接続されている。これにより、MOSFET制御回路9はカレントトランス8からの出力電圧を微分してMOSFET10のゲートに出力することができる。

【0029】次にこのようなスイッチング電源装置の動作について、スイッチング電源装置の各部の電流・電圧波形を示した図4を参照して説明する。

【0030】スイッチングトランジスタ2が制御回路7からHighレベルの電圧信号を受け取ってオン状態になると、スイッチングトランジスタ2のソース・ドレイン間電圧 V_{Q2} は零となり、直流電源3からトランス1'の一次巻線1'pに電流 I_{Q2} が流れる。また、トランス1'の一次巻線1'pの電圧 V_{T1} は直流電源3の電圧と等しい正電圧（ホット側が正電位、コールド側が負電位）となる。そして、トランス1'の二次巻線1'sに生じる誘起電圧 V_{T1} はダイオード14に対して順方向の

電圧となるから、ダイオード14には電流 I_{14} が流れ電圧 V_{T1} はダイオード14を介してコンデンサ5と負荷6に供給される。このとき、MOSFET10の寄生ダイオード10aには逆方向の電圧が印加されることになるので、寄生ダイオード10aの電流 I_R は零となる。従って、カレントトランス8の出力電圧 V_{IR} 、MOSFET10のゲートソース間に印加される駆動電圧 V_{GS} も零となり、スイッチングトランジスタ2がオン状態の期間中MOSFET10はオフ状態を持続する。

【0031】スイッチングトランジスタ2が制御回路7からLowレベルの電圧信号を受け取ってオフ状態になると、電圧 V_{Q2} は上昇し、電流 I_{Q2} は零となる。また、トランス1'の二次巻線1'sに生じる誘起電圧 V_{T1} は、ダイオード14に対して逆方向の電圧となるから、電流 I_{14} は零になる。そして、スイッチングトランジスタ2がオン状態の期間のときにコイル15が蓄積したエネルギーによって、コイル15から平滑コイル5および負荷6を介してMOSFET10に電圧が供給される。この電圧は寄生ダイオード10aに対して順方向の電圧であるので、寄生ダイオード10aを介して電流 I_R が流れ、カレントトランス8の出力電圧が抵抗12とコンデンサ13によって微分され、駆動電圧 V_{GS} としてMOSFET10のゲートソース間に印加される。これにより、MOSFET10はオン状態となる。

【0032】従って、トランス1の二次巻線1sに生じる誘起電圧により、オン抵抗が小さいMOSFET10を介して電流 I_R が流れ、カレントトランス8の出力電圧も継続して発生する。このため、抵抗12とコンデンサ13とによりMOSFET10のゲートソース間には駆動電圧 V_{GS} が印加される続けるのでMOSFET10はオン状態を持続する。

【0033】その後、コイル15の蓄積エネルギーの減少に伴い電流 I_R が減少すると、カレントトランス8の出力電圧も減少する。カレントトランス8の出力電圧が減少し、駆動電圧 V_{GS} がMOSFET10の閾値電圧 V_{th} 以下になると、MOSFET10はオフ状態となる。抵抗12の抵抗値とコンデンサ13の容量を適切な値に設定することでスイッチングトランジスタ2がオン状態となる直前にMOSFET10をオフ状態にすることができる。

【0034】また、負荷6が大きくなると電流 I_R のピーク値が大きくなるが、定電圧ダイオード11でカレントトランス8の出力電圧のピーク値を制限しているので負荷6が大きくなっても確実に整流動作を継続する。逆に、負荷6が小さくなると電流 I_R は不連続モードになり、電流 I_R のピーク値が小さくなるため、電流 I_R が流れている期間に対して、MOSFET10がオン状態である期間は短くなる。しかしながら、整流損失の低減が望まれているのは、負荷6の状態が途中負荷ではなく定格負荷のときにおいてであり、トランス1は負荷6の状

態が定格負荷のときに電流連続モードになるように設計されているので、問題ない。

【0035】尚、本実施形態では、整流手段としてダイオード14を用いたが、本発明はこれに限定されることなく、整流手段として同期整流装置を備えたMOSFETを用いてもよい。また、第一及び第二実施形態においてMOSFETにnチャネル形のものを用いたが、本発明はこれに限定されるものではなく、pチャネル形MOSFETを用いることもできる。この場合、導電形式に応じて定電圧ダイオード11の接続極性を設定するとよい。

【0036】

【発明の効果】本発明によると、電界効果トランジスタを駆動する制御手段は電界効果トランジスタを流れる電流を検知する電流検知手段が出力する電圧を微分して前記電界効果トランジスタのゲートに供給するので、制御手段の回路定数を適切に設定することによって、電流連続モードで使用されるときは前記電界効果トランジスタに流れる電流値の大小に関わらず前記ゲートに供給される電圧を前記電界効果トランジスタの閾値電圧以上にすることができる。これにより、簡単な構成により電界効果トランジスタを同期整流させるとともに、電流連続モードで使用されるときにおいて電界効果トランジスタの導通時間を常に長くすることができる。

【0037】また、本発明によると、前記制御手段は、微分回路と、該微分回路の入力端子間と出力端子間の少なくとも一方に設けられる定電圧ダイオードと、を備えているので、定電圧ダイオードで電流検出手段の出力電圧のピーク値を制限することができる。これにより、電界効果トランジスタに流れる電流が大きくなったときも前記電界効果トランジスタの整流動作を確実に継続することができる。

【0038】また、本発明によると、整流手段に同期整流装置を備えた電界効果トランジスタを用いるので、整流手段の整流損失を減少させることができる。これにより、スイッチング電源装置の効率を改善することができる。また、前記同期整流装置に設けられる前記電界効果トランジスタを駆動する制御手段は、電界効果トランジスタを流れる電流を検知する電流検知手段が出力する電圧を微分して前記電界効果トランジスタのゲートに供給するので、電流連続モード時において電界効果トランジスタの導通時間を常に長くすることができる。

【0039】また、本発明によると、転流手段および整流手段のうち、少なくとも転流手段に同期整流装置を備えた電界効果トランジスタを用いるので、整流損失を減少させることができる。これにより、スイッチング電源装置の効率を改善することができる。また、前記同期整流装置に設けられる前記電界効果トランジスタを駆動する制御手段は、電界効果トランジスタを流れる電流を検知する電流検知手段が出力する電圧を微分して前記電界

効果トランジスタのゲートに供給するので、電流連続モード時において電界効果トランジスタの導通時間を常に長くすることができる。

【図面の簡単な説明】

【図1】 本発明の第一実施形態のスイッチング電源装置の構成を示す図である。

【図2】 本発明の第一実施形態のスイッチング電源装置の動作波形を示す図である。

【図3】 本発明の第二実施形態のスイッチング電源装置の構成を示す図である。

【図4】 本発明の第二実施形態のスイッチング電源装置の動作波形を示す図である。

【図5】 従来のスイッチング電源装置の構成を示す図である。

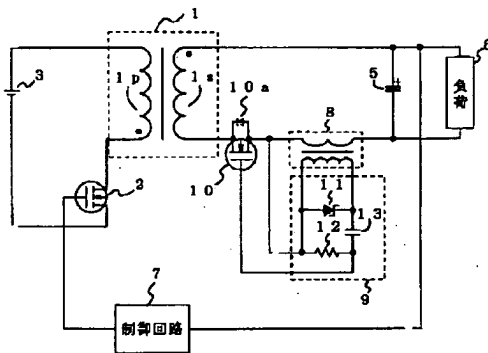
【図6】 従来のスイッチング電源装置の動作波形

を示す図である。

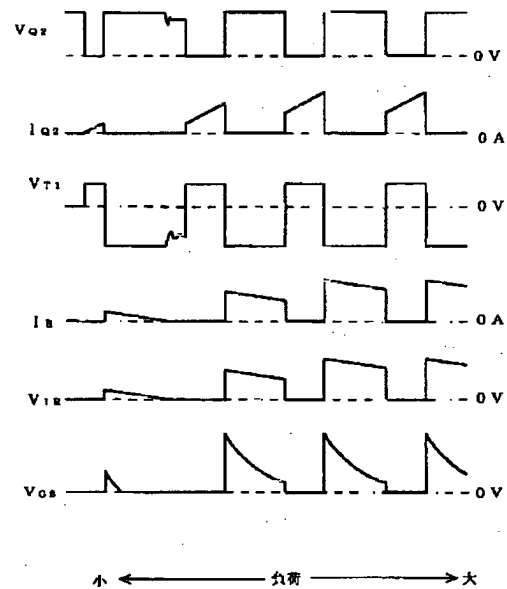
【符号の説明】

- 1、1' トランス
- 1p、1'p 一次巻線
- 1s、1's 二次巻線
- 2 スwitchングトランジスタ
- 4、14 ダイオード
- 5、13 コンデンサ
- 8 カレントトランス
- 9 MOSFET制御回路
- 10 MOSFET
- 10a 寄生ダイオード
- 11 定電圧ダイオード
- 12 抵抗
- 15 コイル

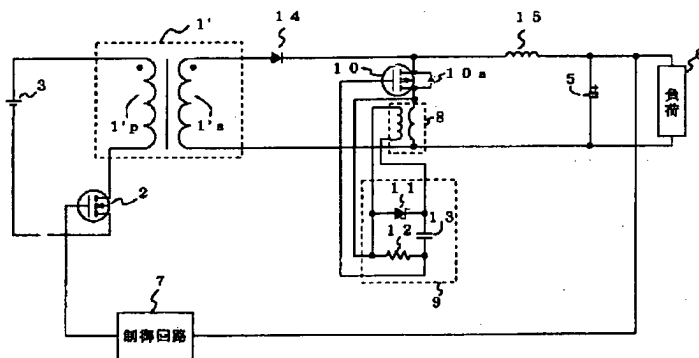
【図1】



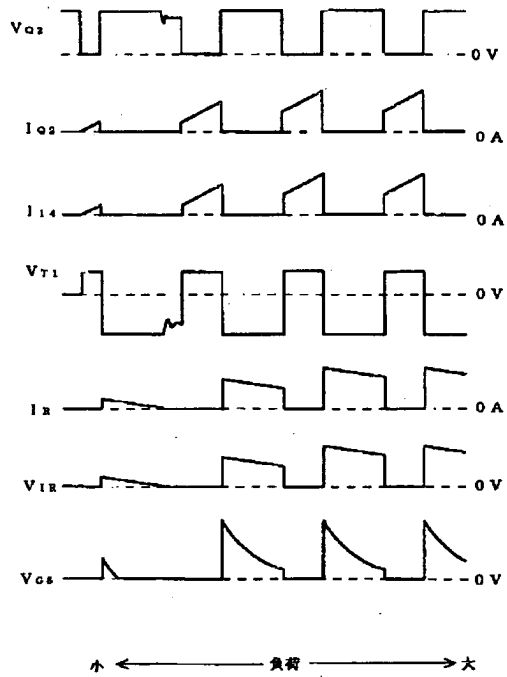
【図2】



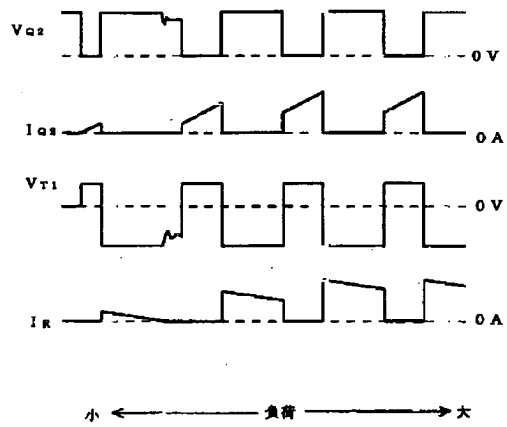
【図3】



【図4】



【図6】



【図5】

